

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-074102

(43)Date of publication of application : 18.03.1997

(51)Int.Cl.

H01L 21/331
H01L 29/73
H01L 21/3205
H01L 21/8222
H01L 27/082
H01L 21/8238
H01L 27/092

(21)Application number : 07-226449

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 04.09.1995

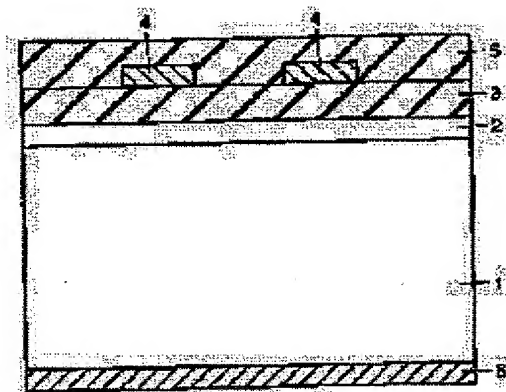
(72)Inventor : YAMAWAKI MASAO
IKEDA TATSUHIKO
SUEMATSU KENJI
KASHIBA YOSHIHIRO

(54) HIGH-FREQUENCY CIRCUIT DEVICE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a high-frequency circuit device capable of reducing the transmission loss of a high-frequency signal and reducing its costs.

SOLUTION: An epitaxial layer 2 is formed in the main surface of a high-resistivity silicon substrate 1 having a resistivity of 100 Ω cm or more. The circuit element of an active element and the like is formed in the epitaxial layer 2. An oxide film 3 is formed so as to cover the surface of the epitaxial layer 2. A metal wiring layer 4 is formed on the surface of the oxide film 3. An oxide film 5 is formed so as to cover the metal wiring layer 4.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-74102

(43) 公開日 平成9年(1997)3月18日

(51) Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/331

H 0 1 L 29/72

29/73

21/88

Z

21/3205

27/08

1 0 1 B

21/8222

3 2 1 B

27/082

審査請求 未請求 請求項の数22 O L (全 16 頁) 最終頁に続く

(21) 出願番号

特願平7-226449

(22) 出願日

平成7年(1995)9月4日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 山脇 正雄

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(72) 発明者 池田 龍彦

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(72) 発明者 末松 憲治

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74) 代理人 弁理士 深見 久郎 (外3名)

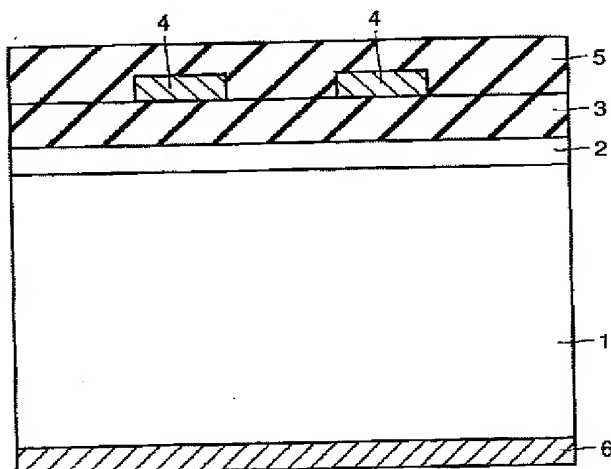
最終頁に続く

(54) 【発明の名称】 高周波回路装置およびその製造方法

(57) 【要約】

【課題】 高周波信号の伝送損失を低減しかつ低価格化が可能な高周波回路装置を提供する。

【解決手段】 $100\Omega\text{cm}$ 以上の比抵抗を有する高比抵抗シリコン基板1の主表面上にエピタキシャル層2を形成する。このエピタキシャル層2内には、能動素子などの回路素子が形成される。エピタキシャル層2の表面を覆うように酸化膜3が形成される。酸化膜3の表面上に金属配線層4が形成される。この金属配線層4を覆うように酸化膜5が形成される。



【特許請求の範囲】

【請求項1】 主表面を有し $100\Omega\text{cm}$ 以上の比抵抗を有するシリコン基板と、前記シリコン基板の主表面を覆うように形成された絶縁層と、前記絶縁層上に形成された金属配線層と、を備えた、高周波回路装置。

【請求項2】 前記シリコン基板の比抵抗は、 $500\Omega\text{cm}$ 以上である、請求項1に記載の高周波回路装置。

【請求項3】 前記シリコン基板の主表面上には、回路素子を形成するためのエピタキシャル層が形成される、請求項1または2に記載の高周波回路装置。

【請求項4】 前記エピタキシャル層と前記シリコン基板の間には、バッファシリコン層が形成される、請求項3に記載の高周波回路装置。

【請求項5】 前記シリコン基板の厚みは $50\sim 200\mu\text{m}$ である、請求項1ないし4のいずれかに記載の高周波回路装置。

【請求項6】 前記シリコン基板の主表面上には埋込絶縁層を介在してシリコン層が形成され、前記シリコン層を覆うように前記絶縁層が形成される、請求項1または2に記載の高周波回路装置。

【請求項7】 前記埋込絶縁層の厚みは、約 $5\sim 30\mu\text{m}$ である、請求項6に記載の高周波回路装置。

【請求項8】 前記シリコン層の厚みは、約 $2\sim 10\mu\text{m}$ である、請求項6または7に記載の高周波回路装置。

【請求項9】 主表面を有するシリコン基板と、前記シリコン基板の主表面上にシールド金属層を介在して形成されたシリコン層と、前記シリコン層を覆うように形成された絶縁層と、前記絶縁層上に形成された金属配線層と、を備えた、高周波回路装置。

【請求項10】 前記シリコン層の厚みは、前記シリコン基板の厚みよりも小さい、請求項9に記載の高周波回路装置。

【請求項11】 前記シールド金属層と前記シリコン基板の主表面の間には第1のバッファ金属層が形成され、前記シールド金属層と前記シリコン層との間には第2のバッファ金属層が形成される、請求項9または10に記載の高周波回路装置。

【請求項12】 前記第1のバッファ金属層と前記シリコン基板の主表面の間には第1の埋込絶縁層が形成され、前記第2のバッファ金属層と前記シリコン層との間には第2の埋込絶縁層が形成される、請求項11に記載の高周波回路装置。

【請求項13】 前記第2の埋込絶縁層の厚みは、前記シリコン層の厚み以上である、請求項12に記載の高周波回路装置。

【請求項14】 前記シールド金属層は高融点金属からなる、請求項9ないし13のいずれかに記載の高周波回路装置。

【請求項15】 前記シールド金属層は、約 500°C 以下の融点を有する材質からなる、請求項9ないし13のいずれかに記載の高周波回路装置。

【請求項16】 主表面を有し、絶縁体からなる基板と、前記基板の主表面上に形成されたシリコン層と、前記シリコン層を覆うように形成された絶縁層と、前記絶縁層上に形成された金属配線層と、を備えた、高周波回路装置。

【請求項17】 前記基板の裏面上には、裏面シリコン層が形成される、請求項16に記載の高周波回路装置。

【請求項18】 前記裏面シリコン層の厚みは、前記シリコン層の厚み以上である、請求項17に記載の高周波回路装置。

【請求項19】 $100\Omega\text{cm}$ 以上の比抵抗を有する第1のシリコン基板の主表面と裏面とに第1と第2の絶縁層をそれぞれ形成する工程と、前記第1のシリコン基板の主表面上に形成された前記第1の絶縁層と、第2の基板とを貼り合わせる工程と、前記第2のシリコン基板の厚みを減じることにより前記第1の絶縁層上にシリコン層を形成する工程と、前記第1のシリコン基板の裏面上に形成された前記第2の絶縁層を除去した後に前記シリコン層内に回路素子を形成する工程と、前記シリコン層を覆うように絶縁層を形成する工程と、前記絶縁層上に金属配線層を形成する工程と、を備えた、高周波回路装置の製造方法。

【請求項20】 $100\Omega\text{cm}$ 以上の比抵抗を有するシリコン基板の主表面上に選択的にマスク層を形成する工程と、前記マスク層をマスクとして用いて前記シリコン基板の主表面内に選択的に第1導電型の不純物を導入して拡散することにより、前記シリコン基板の主表面内に選択的にバッファシリコン層を形成する工程と、前記バッファシリコン層に熱処理を施すことにより、前記シリコン基板の主表面に沿って前記バッファシリコン層を拡張する工程と、前記マスク層をマスクとして用いて、前記バッファシリコン層の表面に第2導電型の不純物を導入する工程と、前記マスク層を除去した後、前記シリコン基板の主表面上にエピタキシャル層を形成することにより、前記バッファシリコン層内に埋込コレクタ層を形成する工程と、前記エピタキシャル層内に回路素子を形成する工程と、前記エピタキシャル層を覆うように絶縁層を形成する工程と、前記絶縁層上に金属配線層を形成する工程と、を備えた、高周波回路装置の製造方法。

3

【請求項21】 第1のシリコン基板の主表面上に第1のバッファ金属層を形成する工程と、
前記第1のバッファ金属層上に第1のシールド金属層を形成する工程と、
第2のシリコン基板の主表面上に第2のバッファ金属層を形成する工程と、
前記第2のバッファ金属層上に第2のシールド金属層を形成する工程と、
前記第1と第2のシールド金属層を一体化することにより前記第1と第2のシリコン基板を接合する工程と、
前記第2のシリコン基板内に回路素子を形成する工程と、
前記第2のシリコン基板表面を覆うように絶縁層を形成する工程と、
前記絶縁層上に金属配線層を形成する工程と、を備えた、高周波回路装置の製造方法。

【請求項22】 主表面に回路素子が形成された第1のシリコン基板の前記主表面を覆うように絶縁層を形成する工程と、
前記絶縁層上に金属配線層を形成する工程と、
前記第1のシリコン基板の裏面からその厚みを減じることにより、主表面に前記回路素子が形成されたシリコン層を形成する工程と、
前記シリコン層の裏面上に第1のバッファ金属層を形成する工程と、
前記第1のバッファ金属層上に第1のシールド金属層を形成する工程と、
第2のシリコン基板の主表面上に第2のバッファ金属層を形成する工程と、
前記第2のバッファシリコン層上に第2のシールド金属層を形成する工程と、
前記第1と第2のシールド金属層を一体化することにより前記第2のシリコン基板と前記シリコン層とを接合する工程と、を備えた、高周波回路装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、高周波回路装置およびその製造方法に関し、特に、高周波特性が良好であり、高周波信号の伝送損失の小さい基板構造を有する高周波回路装置およびその製造方法に関するものである。

【0002】

【従来の技術】近年、携帯電話用などのGHz帯を使用した高周波回路装置が普及してきている。それに伴い、高周波回路装置の低価格化の要求も高まってきている。この要求に応えるべく、高周波回路装置において使用される信号処理用の集積回路の低価格化も望まれている。

【0003】GHz帯の信号を取扱う従来の信号処理回路では、GaAsなどの高価な半導体素子が用いられてきた。しかしながら、集積規模の増大や低価格化のため

4

にはシリコン素子への切り換えが望まれている。近年のシリコン素子では微細化が進みその高周波性能も向上してきており、バイポーラデバイスやCMOS回路を用いた回路構成で従来のGaAs素子なみの性能が実現されようとしてきている。

【0004】しかしながら、上述のように素子性能は向上してきているが、シリコン基板は高周波信号に対して導体であるため、シリコン基板の信号の損失が集積回路構成上問題となっている。前述のGaAs素子では、絶縁体としてのGaAs基板上に能動素子を形成していることから基板での誘電体損失が小さくなる。それにより、集積回路として高周波特性の優れたものが得られる。

【0005】ここで、図32を用いて、従来の一般的なシリコン基板を用いた高周波回路装置の一例について説明する。図32は、シリコン基板を用いた従来の高周波回路装置の一例を模式的に示す断面図である。

【0006】図32を参照して、数十 Ω cm程度の比抵抗を有するシリコン基板11cの主表面上に酸化膜3が形成される。この酸化膜3上に金属配線層4が形成される。この金属配線層4を覆うように酸化膜5が形成される。なお、シリコン基板11cの裏面には、アセンブリ時に半田を使用するため、金の合金層などからなる裏面金属層6が形成されている。

【0007】

【発明が解決しようとする課題】上述のような従来のシリコン基板を用いた高周波回路装置の配線に高周波信号を与えることにより、電気力線がシリコン基板11c中に延びる。それにより、図32に示されるように、シリコン基板11cに対する抵抗成分の損失 R_i や金属配線層4間の損失 R_m が等価的に付加された状態になり、信号の損失や配線間の抵抗結合成分が表れることになる。このような損失は、シリコン基板11cが損失を持つ誘電体であることに起因している。

【0008】上記のような損失分を表現するためには、一般に、誘電正接 $\tan \delta$ が用いられる。この $\tan \delta$ は、複素誘電率（実数部分／虚数部分）で定義される。そして、分子の実数部分が抵抗損失に相当する。そのため、 $\tan \delta$ の値が大きいほど抵抗損失が増加することになる。一般的に知られている数十 Ω の比抵抗を有するシリコン基板11cでは、 $\tan \delta$ の値が約2～3である。それに対し、GaAs基板では、 $\tan \delta$ は0.001程度と非常に小さな値となっている。そのため、単純にGaAs基板の代わりに従来一般に用いられてきたシリコン基板11cを用いた場合、高周波信号の伝送損失が大きくなるという問題があった。

【0009】この発明は、上記のような課題を解決するためになされたものである。この発明の目的は、高周波信号の伝送損失の小さい基板構造を有し、かつ低価格な高周波回路装置およびその製造方法を提供することにあ

る。

【0010】

【課題を解決するための手段】この発明に係る高周波回路装置は、1つの局面では、主表面を有し $100\Omega\text{cm}$ 以上の比抵抗を有するシリコン基板と、絶縁層と、金属配線層とを備える。絶縁層は、シリコン基板の主表面を覆うように形成される。金属配線層は、絶縁層上に形成される。

【0011】上記のように、1つの局面における高周波回路装置では、シリコン基板の比抵抗が $100\Omega\text{cm}$ 以上である。この値は、従来一般に知られているシリコン基板の比抵抗(数十 Ωcm 程度)よりもかなり高いものである。シリコン基板における高周波信号の伝送損失は、シリコン基板の比抵抗に比例する。そのため、シリコン基板の比抵抗を高めることにより、高周波信号の伝送損失を低減することが可能となる。具体的には、従来一般に知られているシリコン基板の比抵抗が $10\Omega\text{cm}$ であったと仮定した場合、この従来のシリコン基板の代わりに比抵抗が $100\Omega\text{cm}$ であるシリコン基板を使用することにより、高周波信号の伝送損失は約 $1/10$ に低減されることになる。それにより、高周波特性が改善された高周波回路装置が得られることになる。この傾向は、シリコン基板の比抵抗をさらに高めることにより顕著なものとなる。なお、シリコン基板を用いることにより、GaAs基板を用いる場合よりもコストは低減される。

【0012】この発明に係る高周波回路装置は、他の局面では、主表面を有するシリコン基板と、シリコン層と、絶縁層と、金属配線層とを備える。シリコン層は、シリコン基板の主表面上にシールド金属層を介在して形成される。絶縁層は、シリコン層を覆うように形成される。金属配線層は、絶縁層上に形成される。

【0013】上記のように、他の局面では、高周波回路装置は、シールド金属層を備えている。本局面における高周波回路装置では、シリコン層内に能動素子などの回路素子が形成される。このとき、シリコン層とシリコン基板との間にシールド金属層が設けられるので、上記の能動素子からの電気力線がこのシールド金属層によってシールドされ、シリコン基板に到達しなくなる。それにより、通常のシリコン基板を用いた場合であっても、高周波信号の伝送損失の低減された高周波回路装置が得られることとなる。なお、シリコン層の厚みを低減することにより、さらに高周波信号の伝送損失を低減することが可能となる。

【0014】この発明に係る高周波回路装置では、さらに他の局面では、主表面を有し絶縁体からなる基板と、シリコン層と、絶縁層と、金属配線層とを備える。シリコン層は、基板の主表面上に形成される。絶縁層は、シリコン層を覆うように形成される。金属配線層は、絶縁層上に形成される。

【0015】上記のように、さらに他の局面では、高周波回路装置は、絶縁体からなる基板を備えている。絶縁体の一例としては石英などを挙げることができる。このように、絶縁体からなる基板を用いることにより、基板における高周波信号の伝送損失を極めて低減することが可能となる。なお、この場合も、基板の材質を適切に選択することにより、GaAs基板を用いる場合よりもコストを低減することが可能となる。

【0016】この発明に係る高周波回路装置の製造方法によれば、1つの局面では、まず、 $100\Omega\text{cm}$ 以上の比抵抗を有する第1のシリコン基板の主表面と裏面とにそれぞれ第1と第2の絶縁層を形成する。そして、第1のシリコン基板の主表面上に形成された第1の絶縁層と第2のシリコン基板とを貼り合わせる。そして、第2のシリコン基板の厚みを減じることにより第1の絶縁層上にシリコン層を形成する。第1のシリコン基板の裏面上に形成された第2の絶縁層を除去した後にシリコン層の主表面に回路素子を形成する。シリコン層を覆うように絶縁層を形成する。この絶縁層上に金属配線層を形成する。

【0017】上記のように、この発明に係る高周波回路装置の製造方法によれば、1つの局面では、 $100\Omega\text{cm}$ 以上の比抵抗を有する第1のシリコン基板の主表面上に第1の絶縁層を介在して第2のシリコン基板を貼り合わせ、この第2のシリコン基板の厚みを減じることによりシリコン層を形成している。それにより、シリコン層を薄く形成することが可能となる。このように厚みの減じられたシリコン層の主表面に回路素子が形成される。このように、シリコン層の厚みが減じられているので、高周波信号の伝送損失は低減される。また、第1のシリコン基板は $100\Omega\text{cm}$ 以上の高比抵抗を有するので、高周波信号の伝送損失を効果的に低減することが可能となる。つまり、高周波信号の伝送損失を低減可能な高周波回路装置が得られることとなる。

【0018】この発明に係る高周波回路装置の製造方法によれば、他の局面では、まず、 $100\Omega\text{cm}$ 以上の比抵抗を有するシリコン基板の主表面上に選択的にマスク層を形成する。このマスク層をマスクとして用いてシリコン基板の主表面内に選択的に第1導電型の不純物を導入して拡散することにより、シリコン基板の主表面内に選択的にパフアシリコン層を形成する。このパフアシリコン層に熱処理を施すことにより、シリコン基板の主表面に沿ってパフアシリコン層を拡張する。再び上記のマスク層をマスクとして用いて、パフアシリコン層の表面に第2導電型の不純物を導入する。マスク層を除去した後、シリコン基板の主表面上にエピタキシャル層を形成することにより、パフアシリコン層内に埋込コレクタ層を形成する。エピタキシャル層の表面に回路素子を形成する。エピタキシャル層を覆うように絶縁層を形成し、この絶縁層上に金属配線層を形成する。

【0019】上記のように、この発明に係る高周波回路装置の製造方法によれば、他の局面では、マスク層をマスクとして用いてシリコン基板の主表面に選択的に第1導電型の不純物を導入して拡散することによりバッファシリコン層を形成し、このバッファシリコン層に熱処理を施すことによりシリコン基板の主表面に沿ってバッファシリコン層を拡張させている。その後、上記のマスク層を再びマスクとして用いてバッファシリコン層の表面に第2導電型の不純物を導入した後、シリコン基板の主表面上にエピタキシャル層を形成している。それにより、エピタキシャル層の形成と同時にバッファシリコン層内に確実に埋込コレクタ層を形成することが可能となる。それにより、バッファシリコン層をエピタキシャル成長法で形成する場合に比べ、製造工程を簡略化することが可能となる。また、確実にバッファシリコン層内に埋込コレクタ層を形成することができるので、埋込コレクタ層からシリコン基板内部への空乏層の伸びを確実に抑制することが可能となり、埋込コレクタ層間の耐圧の低下を効果的に抑制することが可能となる。なお、シリコン基板として $100\Omega\text{cm}$ 以上の高比抵抗を有するシリコン基板が用いられているので、高周波信号の伝送損失は効果的に低減される。

【0020】この発明に係る高周波回路装置の製造方法によれば、さらに他の局面では、まず、第1のシリコン基板の主表面上に第1のバッファ金属層を形成する。この第1のバッファ金属層上に第1のシールド金属層を形成する。第2のシリコン基板の主表面上に第2のバッファ金属層を形成する。この第2のバッファ金属層上に第2のシールド金属層を形成する。そして、第1と第2のシールド金属層を一体化することにより第1と第2のシリコン基板を接合する。そして、第2のシリコン基板の主表面に回路素子を形成する。第2のシリコン基板表面を覆うように絶縁層を形成する。この絶縁層上に金属配線層を形成する。

【0021】上記のように、この発明に係る高周波回路装置の製造方法によれば、さらに他の局面では、第1と第2のシリコン基板の主表面上にそれぞれ形成された第1と第2のシールド金属層を一体化することにより、第1と第2のシリコン基板を接合している。それにより、第1と第2のシリコン基板の間にシールド金属層を形成することが可能となる。そして、第2のシリコン基板の主表面に回路素子を形成している。この第2のシリコン基板の厚みを減じることにより、第2のシリコン基板による高周波信号の伝送損失を低減することが可能となる。また、第2のシリコン基板の下にはシールド金属層が形成されているので、第2のシリコン基板の主表面に形成された回路素子内の能動素子部からの電気力線はこのシールド金属層によって効果的にシールドされる。それにより、第1のシリコン基板による高周波信号の伝送損失をほぼなくすることが可能となる。その結果、高周波

信号の伝送損失の低減された高周波回路装置が得られることになる。

【0022】この発明に係る高周波回路装置の製造方法によれば、さらに他の局面では、まず、主表面に回路素子が形成された第1のシリコン基板の前記主表面を覆うように絶縁層を形成する。この絶縁層上に金属配線層を形成する。そして、シリコン基板の裏面からその厚みを減じることにより、主表面に上記の回路素子が形成されたシリコン層を形成する。このシリコン層の裏面上に第1のバッファ金属層を形成する。この第1のバッファ金属層上に第1のシールド金属層を形成する。第2の基板の主表面上に第2のバッファ金属層を形成する。この第2のバッファ金属層上に第2のシールド金属層を形成する。そして、第1と第2のシールド金属層を一体化することにより第2のシリコン基板とシリコン層とを接合する。

【0023】上述のように、この発明に係る高周波回路装置の製造方法によれば、さらに他の局面では、第1のシリコン基板の主表面に回路素子を形成した後にその第1のシリコン基板の厚みを減じることによりシリコン層を形成している。この場合、このシリコン層は最終形状とならないため、極めてその厚みを低減することが可能となる。それにより、高周波信号の伝送損失を効果的に低減することが可能となる。また、上記のシリコン層と第2のシリコン基板との間にはシールド金属層が形成されるので、このシールド金属層によりシリコン層の表面に形成された回路素子からの電気力線はシールドされる。したがって、第2のシリコン基板による高周波信号の伝送損失はほとんどないものと考えられる。以上のことより、高周波信号の伝送損失が効果的に低減された高周波回路装置が得られることとなる。

【0024】

【発明の実施の形態】以下、この発明の実施の形態について、図1～図31を用いて説明する。

【0025】（実施の形態1）まず、図1を用いて、この発明の実施の形態1における高周波回路装置について説明する。図1は、この発明の実施の形態1における高周波回路装置を示す断面図である。

【0026】図1を参照して、 $100\Omega\text{cm}$ 以上の比抵抗を有するシリコン基板（以下、単に「高比抵抗シリコン基板」と称する）1の主表面上にはエピタキシャル層2が形成される。このエピタキシャル層2上には酸化膜3が形成される。酸化膜3上には金属配線層4が形成され、この金属配線層4を覆うように酸化膜5が形成される。高比抵抗シリコン基板1の裏面には、アセンブリ時に半田を使用するため、金の合金層などからなる裏面金属層6が形成されている。

【0027】高比抵抗シリコン基板1は、上述のように、 $100\Omega\text{cm}$ 以上の比抵抗を有することが好ましい。さらに好ましくは、高比抵抗シリコン基板1の比抵抗

抗は、 $500\Omega\text{cm}\sim 1000\Omega\text{cm}$ 程度である。高周波信号の伝送損失は比抵抗に比例するので、従来一般的に用いられてきたシリコン基板の比抵抗が $10\Omega\text{cm}$ であると仮定すると、 $1000\Omega\text{cm}$ の比抵抗を有する高比抵抗シリコン基板1を用いることによって、高周波信号の伝送損失を約 $1/100$ に低減することが可能となる。それにより、高比抵抗シリコン基板1を用いることにより高周波信号の伝送損失の低減された高周波回路装置が得られる。また、シリコン基板を用いることにより、GaAs基板を用いる場合と比べてコストを低減することも可能となる。

【0028】エピタキシャル層2は、能動素子等の回路素子をその内部に形成するために設けられる。高比抵抗シリコン基板1の主表面に直接パイポーラトランジスタやCMOS回路などの能動素子を形成するのは不純物濃度の設定などの制約上不可能だからである。なお、エピタキシャル層2の厚みは約 $1\sim 5\mu\text{m}$ 程度であることが好ましい。このようにエピタキシャル層2の厚みを薄く設定することにより、高周波信号の伝送損失を低く維持することが可能となる。

【0029】なお、高比抵抗シリコン基板1の製造方法としては、CZ (CZochralski) 法、FZ (Floating Zone) 法、MCZ (Magnet CZochralski) 法等が挙げられる。

【0030】(実施の形態2) 次に、図2を用いて、この発明の実施の形態2について説明する。図2は、この発明の実施の形態2における高周波回路装置を示す断面図である。なお、本発明実施の形態では、能動素子としてパイポーラトランジスタを形成した場合の高周波回路装置が示されている。

【0031】図2を参照して、高比抵抗シリコン基板1の主表面上にはバッファシリコン層7が形成される。このバッファシリコン層7上には、エピタキシャル層2が形成される。バッファシリコン層7とエピタキシャル層2との間に埋込コレクタ領域8cが形成される。エピタキシャル層2の表面には、埋込コレクタ領域8cと連なるように形成されたコレクタ領域8dと、ベース領域8bと、エミッタ領域8aとが形成される。

【0032】エピタキシャル層2の表面を覆うように酸化膜3が形成される。この酸化膜3には、コレクタ領域8d、ベース領域8bおよびエミッタ領域8aの表面に達するコンタクトホールが設けられ、このコンタクトホール内と酸化膜3上とにエミッタ電極9a、ベース電極9bおよびコレクタ電極9cがそれぞれ形成される。このエミッタ電極9a、ベース電極9bおよびコレクタ電極9cを覆うように酸化膜5が形成される。一方、高比抵抗シリコン基板1の裏面には、アセンブリ時に半田を使用するための裏面金属層6が形成される。この裏面金属層6は、好ましくは、金合金などからなる。

【0033】通常、パイポーラトランジスタを形成する

場合、エピタキシャル層2を形成する前に埋込コレクタ領域8cをイオン注入などで形成する。しかしながら、この実施の形態2の場合のように高比抵抗シリコン基板1を使用した場合には、埋込コレクタ領域8cと高比抵抗シリコン基板1との接合部から高比抵抗シリコン基板1内へ空乏層が伸びやすくなる。それにより、隣合う埋込コレクタ領域8c間の耐圧が低くなる可能性がある。

【0034】そこで、このような空乏層の伸びを抑制するため、埋込コレクタ領域8cの側部と底部とを取り囲むようにバッファシリコン層7を形成している。このバッファシリコン層7の比抵抗は、エピタキシャル層2の比抵抗以下であってもよい。このようなバッファシリコン層7を有することにより、空乏層の伸びを効果的に抑制でき、かつデバイスの寄生抵抗低減も可能となる。

【0035】バッファシリコン層7の厚みとしては、 $4\sim 5\mu\text{m}$ 程度であることが好ましい。このように、バッファシリコン層7の厚みを薄く設定することにより、高周波信号の伝送損失も低減することが可能となる。なお、バッファシリコン層7の形成方法としては、イオン注入と拡散で形成する方法やエピタキシャル成長法などを挙げることができる。また、埋込コレクタ領域8cの拡散深さXは、数 μm ($1\sim 2\mu\text{m}$) 程度である。

【0036】(実施の形態3) 次に、図3～図10を用いて、この発明の実施の形態3について説明する。図3は、この発明の実施の形態3における高周波回路装置を示す断面図である。

【0037】図3を参照して、この実施の形態3では、高比抵抗シリコン基板1の主表面に選択的にバッファシリコン層7aが形成されている。より詳しくは、バッファシリコン層7aは、埋込コレクタ領域8cの側部近傍と底部近傍とに選択的に形成されている。それ以外の構造に関しては図2に示される実施の形態2の場合と同様である。このようにバッファシリコン層7aを選択的に形成することにより、バッファシリコン層7aの形成領域を低減することが可能となる。それにより、上記の実施の形態2の場合よりもさらに高周波信号の伝送損失を低減することが可能となる。

【0038】次に、図4～図10を用いて、バッファシリコン層7aの形成方法について説明する。図4～図10は、図3に示されるバッファシリコン層7aの形成工程の第1工程～第7工程を示す断面図である。

【0039】まず図4を参照して、高比抵抗シリコン基板1の主表面上に酸化膜16を形成し、この酸化膜16上にフォトレジスト17を塗布する。そして、写真製版技術を用いて、埋込コレクタ領域8cの形成領域上に位置する酸化膜16の表面が露出するようにフォトレジスト17をパターニングする。

【0040】次に、フォトレジスト17をマスクとして用いてシリコン酸化膜16をエッチングする。それにより、図5に示されるように、高比抵抗シリコン基板1の

10

20

30

40

50

主表面を選択的に露出させる。その後、フォトリジスト17を除去する。

【0041】次に、図6を参照して、酸化膜16をマスクとして用いて、高比抵抗シリコン基板1の主表面に所定の不純物を注入する。たとえば、エピタキシャル層2内にnpnバイポーラトランジスタを形成する場合には、ボロン(B)などのp型の不純物を注入する。それにより、バッファシリコン層7aを形成する。

【0042】次に、図6に示されるバッファシリコン層7aに熱処理を施す。それにより、図7に示されるように、バッファシリコン層7aを高比抵抗シリコン基板1の主表面に沿って拡張させる。その結果、酸化膜16とバッファシリコン層7aとのオーバーラップ量が増大する。

【0043】次に、図8を参照して、上記のように熱処理をバッファシリコン層7aに施した後、再び酸化膜16をマスクとして用いて、所定の不純物をバッファシリコン層7aの表面に注入する。それにより不純物領域8c'が形成される。この不純物領域8c'に導入される不純物は埋込コレクタ領域8cの形成のための不純物であり、たとえばnpnバイポーラトランジスタを形成する場合は、アンチモン等のn型の不純物が選択される。その後、酸化膜16を除去する。その状態が図9に示される。

【0044】次に、図10を参照して、図9に示される状態の高比抵抗シリコン基板1の主表面上に、エピタキシャル層2を形成する。それにより、バッファシリコン層7aと埋込コレクタ領域8cとをセルフアラインで形成することが可能となる。

【0045】ここで、図7に示されるようにバッファシリコン層7aを高比抵抗シリコン基板1の主表面と平行な方向に拡張させる処理を行なっているので、埋込コレクタ領域8cは確実にバッファシリコン層7a内に形成される。そのため、隣合う埋込コレクタ領域8c間の耐圧が低下することをほぼ確実に防止することが可能となる。

【0046】また、上記のような手法を用いることにより、バッファシリコン層7aを精度よく形成することが可能となるばかりでなく、バッファシリコン層7aをエピタキシャル成長法によって形成した場合と比べエピタキシャル層が1層で済む。それにより、製造コストを低減することが可能となる。

【0047】なお、図10において、バッファシリコン層7aと埋込コレクタ領域8cとが上方に移動しているのは、エピタキシャル層2の形成時の熱処理で自動的に不純物が浮き上がってくるためである。

【0048】(実施の形態4)次に、図11を用いて、この発明の実施の形態4について説明する。図11は、この発明の実施の形態4における高周波回路装置を示す断面図である。

【0049】図11を参照して、この図に示される高周波回路装置では、高比抵抗シリコン基板1の厚み t_1 が、約50~約200 μm 程度となるように減じられている。より詳しくは、高比抵抗シリコン基板1の裏面を研磨することにより、その厚みが減じられる。それ以外の構造に関しては図1に示される高周波回路装置と同様である。

【0050】携帯電話機などで用いられる2GHz帯の信号では、表皮効果により表面から約100 μm の深さまで電磁波が入っていることになる。そのため、高比抵抗シリコン基板1の厚みは、約100 μm 以下であることが好ましい。このように高比抵抗シリコン基板1の厚みを減じることにより、高周波信号の伝送損失を効果的に低減することが可能となる。

【0051】なお、高比抵抗シリコン基板1の厚みは、原理的には、薄ければ薄いほど伝送損失は低減されると考えられる。しかしながら、パッケージに組み込むための作業工程を考慮した場合、加工に対する機械的強度を保つためには、高比抵抗シリコン基板1の厚みは、現状では100 μm 程度必要であると考えられる。研磨プロセスの改善が進んでおり、将来的には50 μm 程度の厚みを実現できるものと考えられる。

【0052】(実施の形態5)次に、図12を用いて、この発明の実施の形態5について説明する。図12は、この発明の実施の形態5における高周波回路装置を示す断面図である。

【0053】図12を参照して、上記の実施の形態4では、高比抵抗シリコン基板1の裏面を研磨することによってその厚みを小さくする技術について説明した。しかしながら、現在実用化されているSOI(Semiconductor On Insulator)基板技術を用いることにより、より簡単に薄いシリコン層を形成することが可能となる。

【0054】図12を参照して、高比抵抗シリコン基板1の主表面上に酸化膜10を介在してシリコン層11が形成されている。このシリコン層11の厚み t_2 は、約2~約10 μm 程度である。このシリコン層11内に回路素子が形成されることになる。このシリコン層11を覆うように酸化膜3が形成され、この酸化膜3上に金属配線層4が形成される。この金属配線層4を覆うように酸化膜5が形成される。

【0055】上記の構成において、シリコン層11の厚みを小さくできるので、シリコン層11における高周波信号の伝送損失を低減することが可能となる。

【0056】次に、図13~図17を用いて、図12に示される高周波回路装置の製造方法について説明する。図13~図17は、図12に示される高周波回路装置の製造工程の第1工程~第5工程を示す断面図である。

【0057】まず図13を参照して、MCZ法などを用いて、高比抵抗シリコン基板1を形成する。そして、この高比抵抗シリコン基板1を酸化炉内に挿入し、主表面

と裏面との両面に、図14に示されるように、酸化膜10を形成する。この酸化膜10の厚みは、2~3 μ m程度であることが好ましい。

【0058】次に、図15に示されるように、高比抵抗シリコン基板1の主表面上に形成された酸化膜10の表面上に、能動素子などの回路素子が形成されるシリコン基板11aを貼り合わせる。貼り合わせは、鏡面に研磨されたシリコン基板11aの一方の表面を酸化膜10の表面上に重ね合わせ、1100℃程度の熱処理を施すことによって行なわれ得る。

【0059】次に、シリコン基板11aの他方の表面を研磨することによってその厚みを減じる。それにより、シリコン層11が形成される。図16には、シリコン基板11aの厚みが減じられることによって形成されたシリコン層11が示されており、このシリコン層11の厚み t_2 は2~10 μ m程度であることが好ましい。

【0060】次に、図17に示されるように、高比抵抗シリコン基板1の裏面に形成された酸化膜10をエッチングによって除去する。その後、通常のウェハプロセスを経てシリコン層11内に能動素子などの回路素子を形成する。そして、シリコン層11を覆うように酸化膜3を形成し、この酸化膜3上に金属配線層4を形成する。そして、この金属配線層4を覆うように酸化膜5を形成する。以上の工程を経て図12に示される高周波回路装置が形成されることになる。

【0061】(実施の形態6) 次に、図18を用いて、この発明の実施の形態6について説明する。図18は、この発明の実施の形態6における高周波回路装置を示す断面図である。

【0062】図18を参照して、この実施の形態における高周波回路装置では、酸化膜10aの厚み t_3 が、約10~約30 μ m程度と比較的厚いものとなっている。それにより、高周波信号の伝送損失を低減することが可能となる。それ以外の構造に関しては、図12に示される高周波回路装置とほぼ同様である。なお、図18に示されるように、酸化膜10aの厚み t_3 は、シリコン層11の厚み以上(5 μ m程度以上)であってもよい。

【0063】上記のような比較的厚い酸化膜10aを形成する手法としては、高圧あるいは高温で長時間にわたって酸化を行なう方法やBSG(Boron Silicate Glass)膜を厚膜化した方法などを挙げることができる。

【0064】(実施の形態7) 次に、図19を用いて、この発明の実施の形態7について説明する。図19は、この発明の実施の形態7における高周波回路装置を示す断面図である。

【0065】上述の各実施の形態における高周波回路装置では、高比抵抗シリコン基板1を用いて伝送損失を低減する構造について述べたが、高周波回路を設計するためにはインピーダンスマッチングを考慮した基板構造も必要となる。高周波の線路としてはストリップラインと

呼ばれる配線構造が一般に用いられる。この配線構造では、金属配線層の下にある誘電体のインピーダンスを考慮して誘電体膜厚を適正に設定し、誘電体膜の下面に金属層を形成する。誘電体膜の材質と膜厚とを最適化することによって、高周波回路で用いられる50 Ω のインピーダンスが実現できる。

【0066】図19を参照して、シリコン基板11bの主表面上には酸化膜14bを介在してバッファ金属層13bが形成される。このバッファ金属層13b上にはシールド金属層12が形成される。このシールド金属層12上にはさらにバッファ金属層13aが形成され、このバッファ金属層13a上に酸化膜14aを介在してシリコン層11が形成される。シリコン層11上には酸化膜3が形成され、この酸化膜3上に金属配線層4が形成される。この金属配線層4を覆うように酸化膜5が形成される。

【0067】シリコン層11内に、能動素子などの回路素子が形成される。シールド金属層12は、シリコン層11内に形成される能動素子からの電気力線をシールドする機能を有する。バッファ金属層13a、13bは、シールド金属層12と酸化膜14a、14bとを接着するためのものである。上記のシールド金属層12によって能動素子からの電気力線がシールドできるので、シリコン基板11bとしては、高比抵抗シリコン基板以外の通常のシリコン基板を使用できる。

【0068】次に、シールド金属層12についてより詳しく説明する。シールド金属層12には、低抵抗であることと耐熱性が要求される。シールド金属層12が低抵抗であることにより、伝送損失をほとんど生じることなく電気力線を終端させることが可能となる。また、耐熱性に優れることにより、ウェハプロセスの熱処理に耐えることが可能となる。以上の内容に鑑み、シールド金属層12としては、一般に高融点金属と呼ばれる金属を用いることが好ましい。具体的には、ニッケル(体積固有抵抗=6.9 Ω)、タングステン(5.48 Ω)、モリブデン(4.77 Ω)などが考えられる。

【0069】次に、図20を用いて、図19に示される実施の形態7の変形例について説明する。図20は、上記の実施の形態7の変形例における高周波回路装置を示す断面図である。

【0070】図20を参照して、本変形例では、酸化膜14a、14bが形成されていない。それ以外の構造に関しては図19に示される高周波回路装置と同様である。バッファ金属層13a、13bは、酸化膜14a、14bとシールド金属層12との接合のために設けられるものであったが、酸化膜14a、14bを介在することなくシリコン基板11bあるいはシリコン層11とシールド金属層12とを直接接合してもよい。それにより、製造工程が簡略化できる。

【0071】次に、図21~図25を用いて、図20に

示される高周波回路装置の製造方法の一例について説明する。図21～図25は、図20に示される高周波回路装置の製造方法の一例における第1工程～第5工程を示す断面図である。

【0072】まず図21(a)を参照して、シリコン基板11bの主表面上に、蒸着法などを用いて、クロムなどからなるバッファ金属層13bを形成する。一方、図21(b)に示されるように、シリコン層11の形成のためのシリコン基板11aの裏面上にも同様にパッファシリコン層13aを形成する。

【0073】次に、図22(a)を参照して、バッファ金属層13bの表面上にシールド金属層12を形成する。一方、図22(b)に示されるように、バッファ金属層13aの表面上にもシールド金属層12を形成する。

【0074】そして、図23に示されるように、シリコン基板11b上に形成されたシールド金属層12と、シリコン基板11aの裏面上に形成されたシールド金属層12とを重ね合わせる。そして、熱処理を施すことにより、シールド金属層12同士を接合する。それにより、図22に示される1対のシールド金属層12が一体化される。このとき、たとえば、シールド金属層12の材質としてタングステンやモリブデンを使用した場合には、図22(a)および(b)に示されるシールド金属層の少なくとも一方の最上層にニッケルや白金などからなる金属層(図示せず)を形成することが好ましい。このニッケルや白金などの金属層は、ウェハプロセスの熱処理温度以上で反応するものであり、かつ面心立方晶の材質である。そして、好ましくは、このニッケルや白金などの金属層は1 μ m以内程度の厚みに形成することが好ましい。

【0075】上記のようにしてシールド金属層12を形成した後、好ましくは、シリコン基板11aの厚みを減じる。それにより、図24に示されるように、シリコン層11が形成される。その後、シリコン層11内に能動素子などの回路素子を形成し、このシリコン層11を覆うように酸化膜3を形成する。そして、この酸化膜3上に金属配線層4を形成し、この金属配線層4を覆うように酸化膜5を形成する。以上の工程を経て、図20に示される高周波回路装置が形成されることになる。

【0076】なお、図19に示される高周波回路装置を製造するには、上記の製造方法において、バッファ金属層13a、13bの形成前に酸化膜14a、14bを形成すればよい。また、図19に示される高周波回路装置において、インピーダンスの値を50 Ω とするには、シリコン層11の厚みを数 μ m程度と薄くし、酸化膜14aの厚みを約10～約30 μ mと厚くすることにより実現できる。その結果、シリコン層11の厚みはシリコン基板11bの厚みよりもかなり小さくなり、酸化膜14aの厚みはシリコン層11の厚み以上となる。なお、酸

化膜14aの厚みを大きくする手法としては、実施の形態6の場合と同様の方法を使用することができる。

【0077】次に、図26～図29を用いて、図20に示される高周波回路装置の製造方法の他の例について説明する。図26～図29は、図20に示される高周波回路装置の製造方法の他の例における第1工程～第4工程を示す断面図である。まず図26を参照して、ウェハプロセスを経てシリコン基板11aの主表面に能動素子などの回路素子を形成する。また、シリコン基板11aの主表面を覆うように酸化膜3を形成し、この酸化膜3上に金属配線層4を形成する。そして、この金属配線層4を覆うように酸化膜5を形成する。

【0078】次に、図27(a)を参照して、シリコン基板11aの裏面を研磨する。それにより、シリコン層11を形成する。このシリコン層11の厚み t_4 は、好ましくは、数十 μ m程度である。しかしながら、シリコン層11の厚み t_4 は、その下に形成される金属層との間で高周波回路が形成されることになるので、トータルの誘電率を考慮した厚みに選定される。そして、シリコン層11の裏面にバッファ金属層13aを形成する。一方、図27(b)に示されるように、シリコン基板11bの主表面上にバッファ金属層13bを形成する。

【0079】次に、図28(a)を参照して、バッファ金属層13aの表面上にシールド金属層12を形成する。そして、図28(b)に示されるように、バッファ金属層13bの表面上にもシールド金属層12を形成する。そして、シリコン基板11bとシリコン層11とを重ね合わせる。そして、シールド金属層12同士を接合することにより、図29に示される高周波回路装置が形成される。

【0080】上記の製造方法の場合、既に能動素子などの回路素子が形成されているウェハを用いるため、シリコン層11上にはアルミニウム配線層が既に形成されている。そのため、シールド金属層12の接合には、上記のアルミニウム配線層に影響を与えない低い温度を使用する必要がある。具体的には、約400 $^{\circ}$ C～約500 $^{\circ}$ C程度以下の温度で貼り合わせを行なう必要がある。この場合のシールド金属層12としては、金や銀のような融点の低い金属を用いることが必要となる。

【0081】図28(a)におけるシールド金属層12として金を用い、図28(b)のシールド金属層12として最上層に金、下地層に錫(図示せず)を形成することにより、貼り合わせ時に低融点の共晶金属を形成することが可能となる。それにより、ほとんど欠陥のない貼り合わせが可能となる。このとき、錫の厚さを金に対して薄くすることにより反応後のシールド金属層12の融点を共晶温度より上昇させることが可能となる。それにより、その後のアセンブリ工程(ダイボンドなど)の加熱において剥がれない高周波回路装置を製造することが可能となる。

【0082】また、図28(b)において、パッファ金属層13bの形成を省略することも可能である。この場合には、シリコン基板11b上に直接アルミニウムや金などからなる金属層を形成する。それにより、アルミニウムや金などがシリコンと反応して低融点の合金層を形成する。一方、図28(a)のシールド金属層12としてアルミニウムや金などを用い、これらをパッファ金属層13a上に形成する。それにより、能動素子の機能劣化を伴うことなく簡略なプロセスで剥がれなどの欠陥が発生しない高周波回路装置を提供することができる。

【0083】(実施の形態8)次に、図30を用いて、この発明の実施の形態8について説明する。図30は、この発明の実施の形態8における高周波回路装置を示す断面図である。

【0084】図30を参照して、石英などの絶縁体からなる支持基板15の主表面上に直接シリコン層11が形成されている。そして、このシリコン層11を覆うように酸化膜3が形成され、この酸化膜3上に金属配線層4が形成される。そして、この金属配線層4を覆うように酸化膜5が形成される。一方、支持基板15の裏面に

は、裏面金属層6が形成される。

【0085】上記の構成において、支持基板15が石英などからなる絶縁体により構成されているため、高周波信号の伝送損失はほとんどなくなる。また、シリコン層11の厚みは、約2〜約10 μ m程度であればよい。また、支持基板15が絶縁体からなるため、支持基板15の主表面上に直接シリコン層11を形成することが可能となる。

【0086】なお、この実施の形態8における高周波回路装置の製造方法としては、上記の実施の形態5における高周波回路装置の製造方法と近似した方法を用いることができる。より詳しくは、図13〜図17に示される実施の形態5の製造方法において、酸化膜10を形成せず、高比抵抗シリコン基板1を支持基板15に置き換えることによって図30に示される高周波回路装置が形成可能である。

【0087】(実施の形態9)次に、図31を用いて、この発明の実施の形態9について説明する。図31は、この発明の実施の形態9における高周波回路装置を示す断面図である。

【0088】図9を参照して、この実施の形態における高周波回路装置では、石英ウェハ15aの主表面上にシリコン層11が形成され、この石英ウェハ15aの裏面にシリコン基板11bが形成される。それ以外の構造に関しては図30に示される高周波回路装置と同様である。

【0089】ウェハプロセス装置の多くは、位置合せの際に基板の裏面に光などを照射して行なう。そのため、石英ウェハを使用した場合には、ウェハプロセス装置内での位置検出が困難となる場合が考えられる。その場合

に、石英ウェハ15aの裏面にシリコン基板11bを設けることにより、その位置検出がより確実に行なえる。

【0090】また、石英とシリコンの熱膨張係数の差が石英ウェハ15aの反りの原因となることも考えられる。それを防止するため、石英ウェハ15aの主表面と裏面との両面に、シリコン層11とシリコン基板11bとを形成することにより、石英ウェハ15aの反りを防止することが可能となる。なお、シリコン基板11bの厚みは、シリコン層11の厚み以上であることが好ましい。

【図面の簡単な説明】

【図1】 この発明の実施の形態1における高周波回路装置を示す断面図である。

【図2】 この発明の実施の形態2における高周波回路装置を示す断面図である。

【図3】 この発明の実施の形態3における高周波回路装置を示す断面図である。

【図4】 図3に示される高周波回路装置におけるパッファシリコン層の形成工程の第1工程を示す断面図である。

【図5】 図3に示される高周波回路装置におけるパッファシリコン層の形成工程の第2工程を示す断面図である。

【図6】 図3に示される高周波回路装置におけるパッファシリコン層の形成工程の第3工程を示す断面図である。

【図7】 図3に示される高周波回路装置におけるパッファシリコン層の形成工程の第4工程を示す断面図である。

【図8】 図3に示される高周波回路装置におけるパッファシリコン層の形成工程の第5工程を示す断面図である。

【図9】 図3に示される高周波回路装置におけるパッファシリコン層の形成工程の第6工程を示す断面図である。

【図10】 図3に示される高周波回路装置におけるパッファシリコン層の形成工程の第7工程を示す断面図である。

【図11】 この発明の実施の形態4における高周波回路装置を示す断面図である。

【図12】 この発明の実施の形態5における高周波回路装置を示す断面図である。

【図13】 この発明の実施の形態5における高周波回路装置の製造工程の第1工程を示す断面図である。

【図14】 この発明の実施の形態5における高周波回路装置の製造工程の第2工程を示す断面図である。

【図15】 この発明の実施の形態5における高周波回路装置の製造工程の第3工程を示す断面図である。

【図16】 この発明の実施の形態5における高周波回路装置の製造工程の第4工程を示す断面図である。

【図 17】 この発明の実施の形態 5 における高周波回路装置の製造工程の第 5 工程を示す断面図である。

【図 18】 この発明の実施の形態 6 における高周波回路装置を示す断面図である。

【図 19】 この発明の実施の形態 7 における高周波回路装置を示す断面図である。

【図 20】 この発明の実施の形態 7 の変形例における高周波回路装置を示す断面図である。

【図 21】 (a) および (b) は、図 20 に示される高周波回路装置の製造方法の一例における第 1 工程を示す断面図である。

【図 22】 (a) および (b) は、図 20 に示される高周波回路装置の製造方法の一例における第 2 工程を示す断面図である。

【図 23】 図 20 に示される高周波回路装置の製造方法の一例における第 3 工程を示す断面図である。

【図 24】 図 20 に示される高周波回路装置の製造方法の一例における第 4 工程を示す断面図である。

【図 25】 図 20 に示される高周波回路装置の製造方法の一例における第 5 工程を示す断面図である。

【図 26】 図 20 に示される高周波回路装置の製造方法の他の例における第 1 工程を示す断面図である。

【図 27】 (a) および (b) は、図 20 に示される高周波回路装置の製造方法の他の例における第 2 工程を

示す断面図である。

【図 28】 (a) および (b) は、図 20 に示される高周波回路装置の製造方法の他の例における第 3 工程を示す断面図である。

【図 29】 図 20 に示される高周波回路装置の他の例における製造工程の第 4 工程を示す断面図である。

【図 30】 この発明の実施の形態 8 における高周波回路装置を示す断面図である。

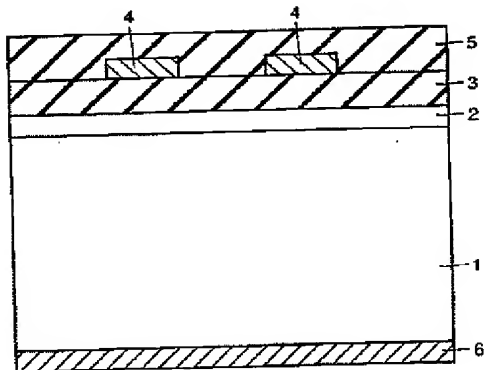
【図 31】 この発明の実施の形態 9 における高周波回路装置を示す断面図である。

【図 32】 従来の高周波回路装置の一例を示す断面図である。

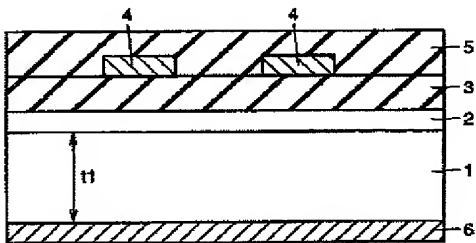
【符号の説明】

1 高比抵抗シリコン基板、2 エピタキシャル層、3, 5, 10, 10a, 14a, 14b, 16 酸化膜、4 金属配線層、6 裏面金属層、7, 7a パツファシリコン層、8a エミッタ領域、8b ベース領域、8c 埋込コレクタ領域、8d コレクタ領域、9a エミッタ電極、9b ベース電極、9c コレクタ電極、11 シリコン層、11a, 11b, 11c シリコン基板、12 シールド金属層、13a, 13b パツファ金属層、15 支持基板、15a 石英ウェハ、17 フォトレジスト。

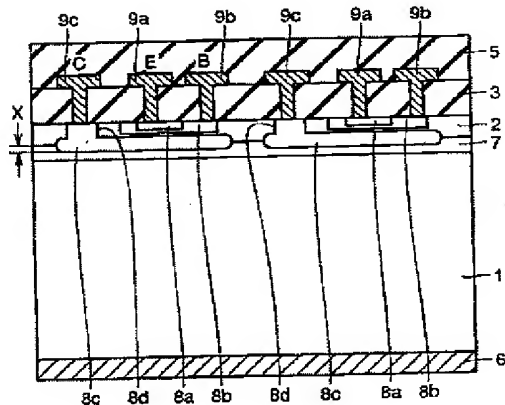
【図 1】



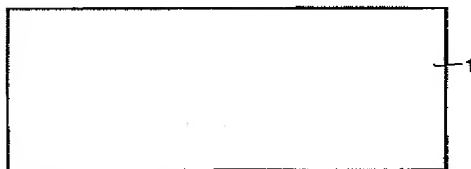
【図 11】



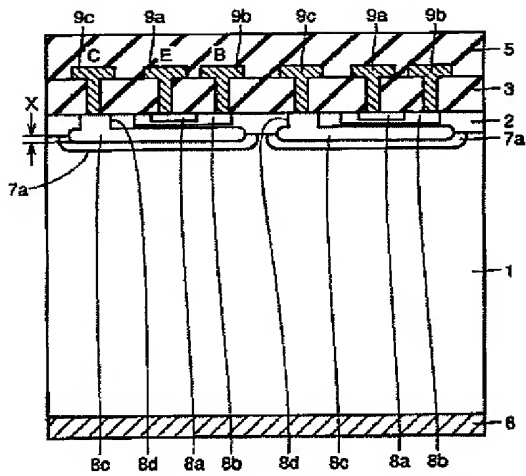
【図 2】



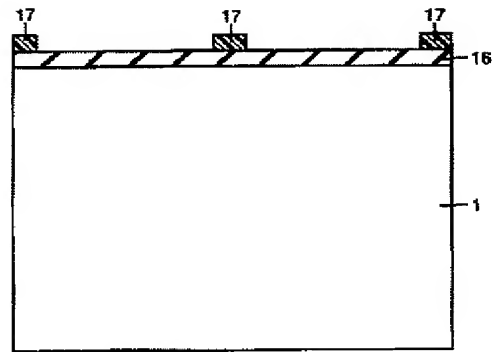
【図 13】



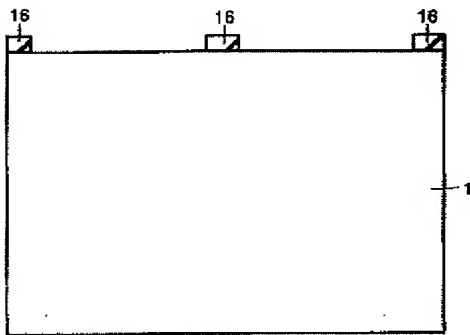
【図 3】



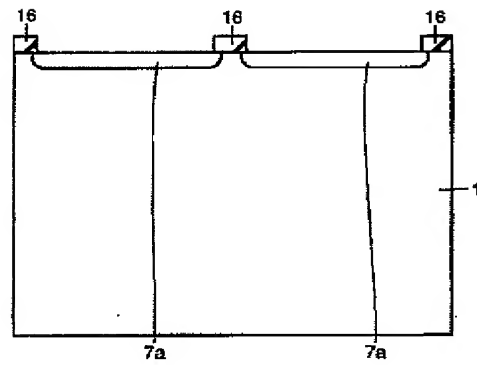
【図 4】



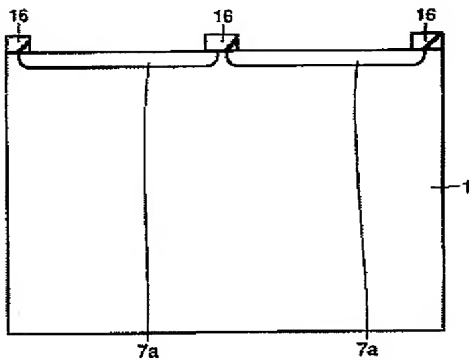
【図 5】



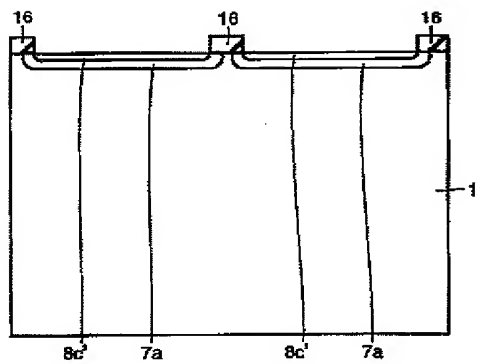
【図 6】



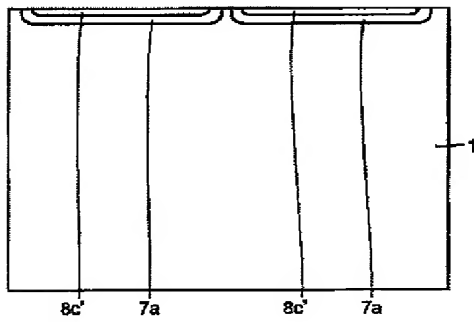
【図 7】



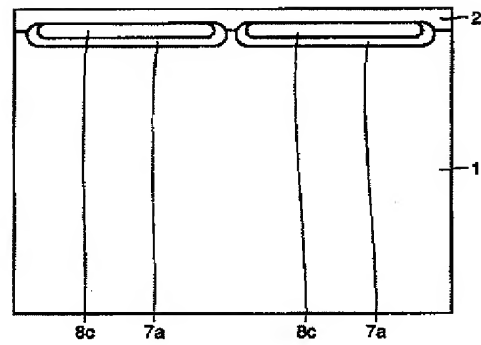
【図 8】



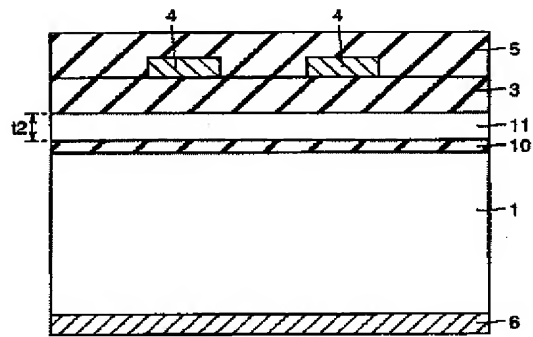
【図9】



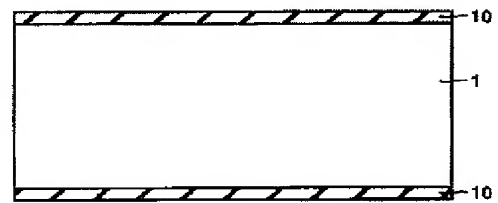
【図10】



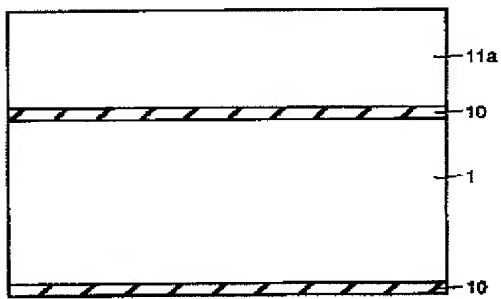
【図12】



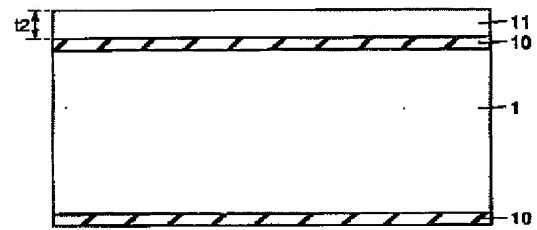
【図14】



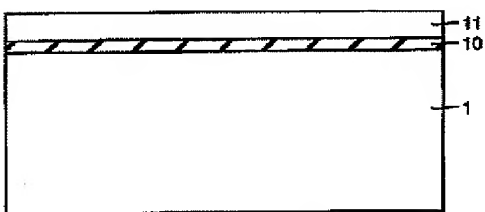
【図15】



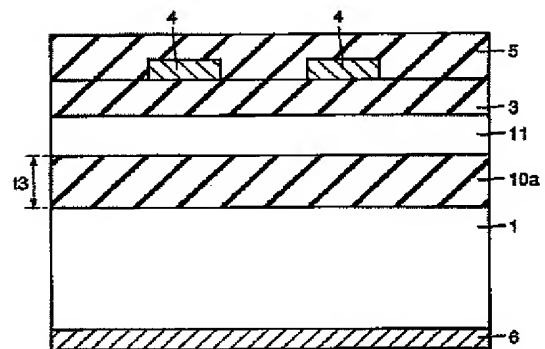
【図16】



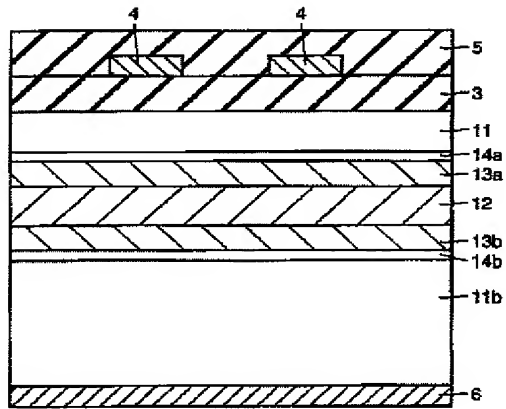
【図17】



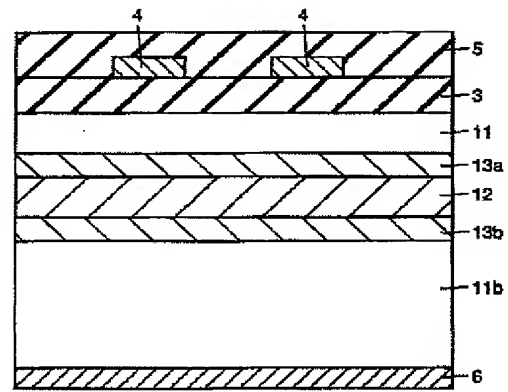
【図18】



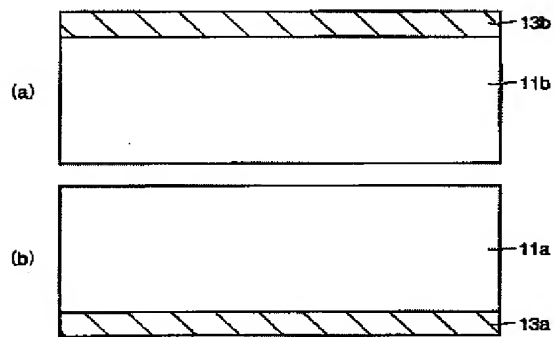
【図19】



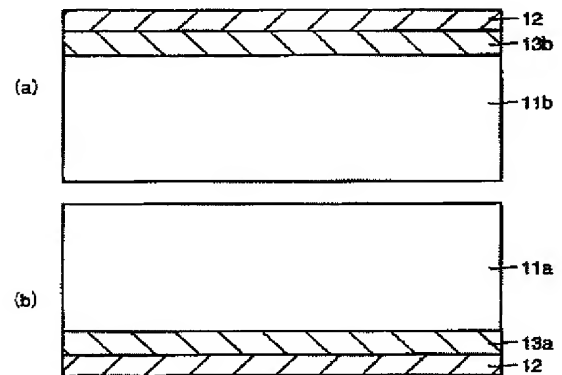
【図20】



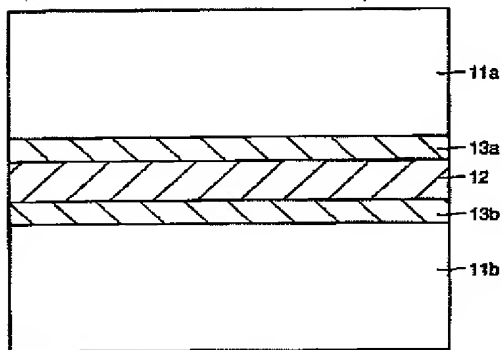
【図21】



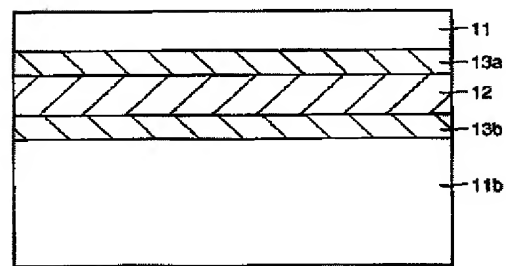
【図22】



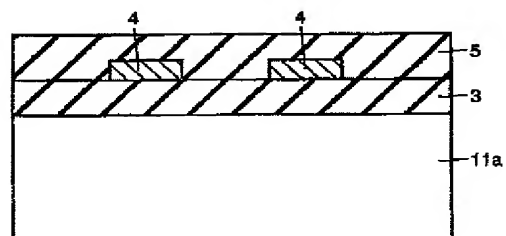
【図23】



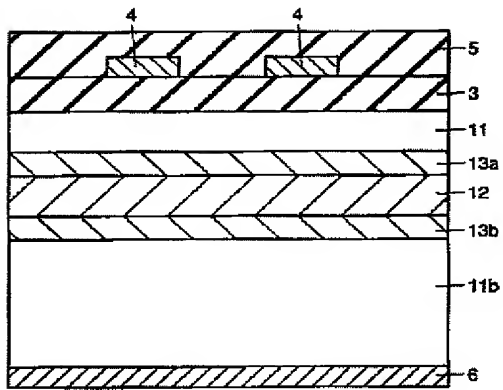
【図24】



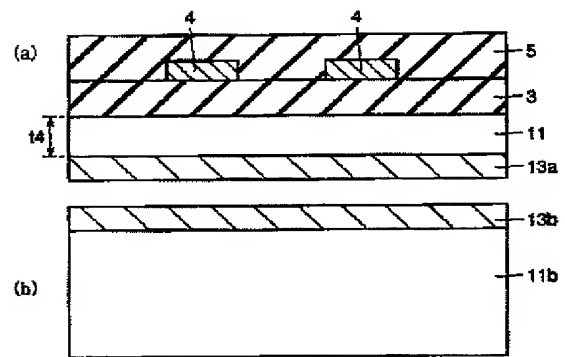
【図26】



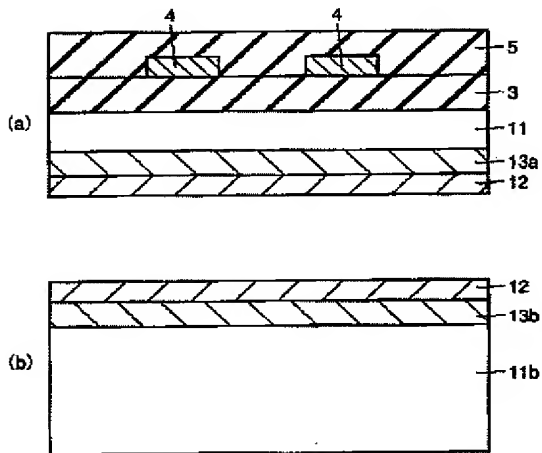
【図 25】



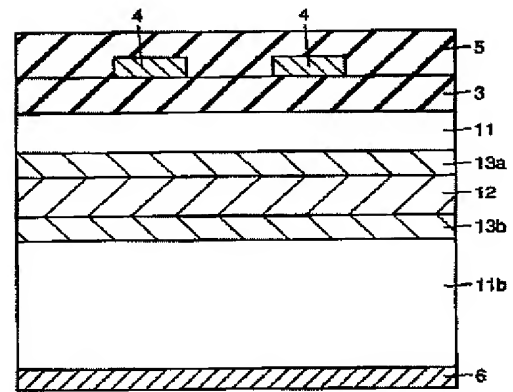
【図 27】



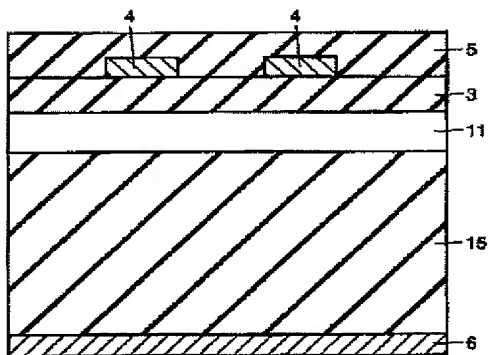
【図 28】



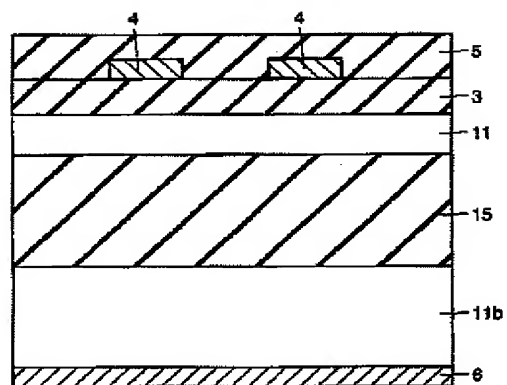
【図 29】



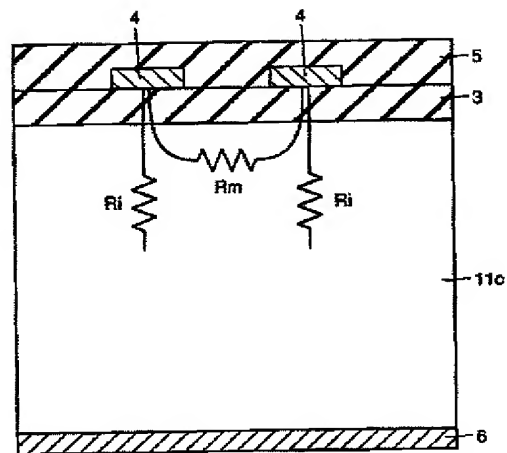
【図 30】



【図 31】



【図 3 2】



フロントページの続き

(51) Int. Cl. 6

識別記号

序内整理番号

F I

技術表示箇所

H O I L 21/8238

27/092

(72) 発明者 加柴 良裕

東京都千代田区丸の内二丁目 2 番 3 号 三

菱電機株式会社内